

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Naoyuki TAMURA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD FOR COMPRESSING SEMICONDUCTOR INTEGRATED CIRCUIT, USING DESIGN
REGION DIVIDED INTO PLURAL BLOCKS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

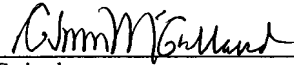
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-199140	July 18, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

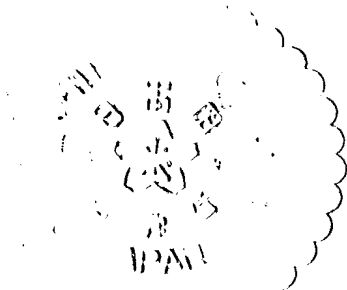
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 1 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 9 9 1 4 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 9 9 1 4 0]

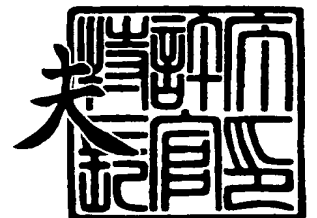
出 願 人 株 式 会 社 東 芝
Applicant(s):



2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 A000205118

【提出日】 平成15年 7月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体集積回路の圧縮方法

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 田村 尚之

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 亀井 貴之

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲



【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の圧縮方法

【特許請求の範囲】

【請求項 1】 半導体集積回路を設計すべきデザイン領域を、複数のブロックに分割するステップと、

各々の前記ブロックに半導体素子を割り当てるステップと、

各々の前記ブロック内における前記半導体素子の密度を調べるステップと、

前記半導体素子の密度が疎であると判断されたブロックを圧縮するステップと

各々の前記ブロック間を配線で接続するステップと

を具備することを特徴とする半導体集積回路の圧縮方法。

【請求項 2】 前記半導体素子を割り当てるステップは、
機能記述により各々の前記ブロックに機能を割り当てるステップと、
前記機能記述を論理合成してスタンダードセルを得るステップと
を含むことを特徴とする請求項 1 記載の半導体集積回路の圧縮方法。

【請求項 3】 前記半導体素子を割り当てるステップは、
機能記述を論理合成して得たスタンダードセルを、各々の前記ブロックに割り
当てる
ことを特徴とする請求項 1 記載の半導体集積回路の圧縮方法。

【請求項 4】 各々の前記ブロックに前記半導体素子を割り当てるステップ
においては、前記ブロック毎に、前記半導体素子の配置の最適化が行われる
ことを特徴とする請求項 1 乃至 3 いずれか 1 項記載の半導体集積回路の圧縮方
法。

【請求項 5】 各々の前記ブロックに前記半導体素子を割り当てるステップ
において、いずれかのブロックに割り当てられる前記半導体素子はカスタムレイ
アウトにより設計され、その他のブロックに割り当てられる前記半導体素子はス
タンダードセルで設計される

ことを特徴とする請求項 1 乃至 4 いずれか 1 項記載の半導体集積回路の圧縮方
法。

【請求項 6】 各々の前記ブロックに前記半導体素子を割り当てるステップ

において、複数のブロックに割り当てられる前記半導体素子はカスタムレイアウトにより設計され、その他のブロックに割り当てられる前記半導体素子はスタンダードセルで設計され、

前記カスタムレイアウトによって設計された半導体素子が割り当てられた複数の前記ブロックは、最適化の際に互いの位置関係が保たれる

ことを特徴とする請求項 5 記載の半導体集積回路の圧縮方法。

【請求項 7】 半導体集積回路が設計されて、半導体素子が割り当てられたデザイン領域を、複数のブロックに分割するステップと、

各々の前記ブロック内における前記半導体素子の密度を調べるステップと、

前記半導体素子の密度が疎であると判断されたブロックを圧縮するステップと

各々の前記ブロック間を配線で接続するステップと

を具備することを特徴とする半導体集積回路の圧縮方法。

【請求項 8】 分割された前記ブロックのサイズは、前記半導体素子の位置を各々のブロック内において移動させた場合に变化する配線遅延が半導体集積回路の動作に影響を与えないように設定される

ことを特徴とする請求項 1 乃至 7 いずれか 1 項記載の半導体集積回路の圧縮方法。

【請求項 9】 前記半導体素子の位置を各々のブロック内において移動させた場合に变化する配線遅延時間は、最大、前記半導体集積回路の動作クロック周期の 1 % 以下である

ことを特徴とする請求項 8 記載の半導体集積回路の圧縮方法。

【請求項 10】 前記ブロックを圧縮するステップは、隣接する疎なブロック同士、及び隣接する疎なブロックと密なブロックとを、互いに重ね合わせる

ことを特徴とする請求項 1 乃至 9 いずれか 1 項記載の半導体集積回路の圧縮方法。

【請求項 11】 前記ブロックを圧縮するステップは、疎なブロックのサイズを縮小化する

ことを特徴とする請求項 1 乃至 10 いずれか 1 項記載の半導体集積回路の圧縮方法。

【請求項 1 2】 前記ブロックを圧縮するステップの前に、疎と判断された前記ブロック内の配線混雑度を調べるステップと、

前記配線混雑度を調べるステップにおいて、配線混雑度が所定以上であるブロックについては、前記半導体素子の密度を密であるとみなすステップとを更に備える

ことを特徴とする請求項 1 乃至 1 1 いずれか 1 項記載の半導体集積回路の圧縮方法。

【請求項 1 3】 前記ブロックを圧縮するステップの前に、密と判断された前記ブロックが、特定の行または列に集中しているか否かを調べるステップと、

密なブロックが特定の行に集中している場合には、当該密なブロックを、その面積を変えずに横幅を縮小し、特定の列に集中している場合には、当該密なブロックを、その面積を変えずに縦幅を縮小するステップとを更に備える

ことを特徴とする請求項 1 乃至 1 2 いずれか 1 項記載の半導体集積回路の圧縮方法。

【請求項 1 4】 前記ブロックの圧縮比は、要求されるデザイン全体の形状に応じて決定される

ことを特徴とする請求項 1 乃至 1 2 いずれか 1 項記載の半導体集積回路の圧縮方法。

【請求項 1 5】 前記ブロックを圧縮するステップにおいては、要求されるデザイン全体の形状に応じて、密なブロックの縦横比が変更される

ことを特徴とする請求項 1 4 記載の半導体集積回路の圧縮方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路の圧縮方法に関する。例えば、スタンダードセルを配置することにより設計される半導体集積回路に関する。

【0002】

【従来の技術】

近年、半導体集積回路（LSI：Large Scale Integrated circuit）の高集積

化にはめざましいものがある。それに伴い、LSIの設計者に対する負荷も増加している。

【0003】

従来、LSIの設計はチップ全体を一括して行っていた。しかし、LSIの規模が大きくなるにつれて、設計の最適化が困難となりつつある。最適化処理自体は設計ツールが行うが、その処理に要する時間も数日～1週間単位となり、場合によっては最適化自体が失敗する場合、あるいは処理が終わらない場合がある。

【0004】

そこで、1つのチップを複数の領域に分割して設計を行う方法が提案されている（例えば非特許文献1参照）。本提案は、分割した領域毎に最適化処理を行い、その後、各領域間を接続する。本提案によれば、最適化処理を並列的に行うことが出来、処理に要する時間を数時間～1日程度に短縮できる。

【0005】

【非特許文献1】

AmmoCore Technology、fabrix Preliminary Datasheet、[online]、[平成15年7月10日検索]、インターネット<URL:http://www.ammocore.com/ammocore_fabrix.pdf>、<URL:http://www.ammocore.com/fabrix_overview.pdf>

【0006】

【発明が解決しようとする課題】

しかしながら、上記従来の提案であると、全ての領域を効率よく使用することが困難であり、領域毎に疎密が発生する。従って、チップの面積使用効率が低下し、LSIのデザインの圧縮率を向上させることが困難であるという問題があった。

【0007】

この発明は、上記事情に鑑みてなされたもので、その目的は、デザイン面積を縮小出来る半導体集積回路の圧縮方法を提供することにある。

【0008】

【課題を解決するための手段】

この発明の一態様に係る半導体集積回路の圧縮方法は、半導体集積回路を設計すべきデザイン領域を、複数のブロックに分割するステップと、各々の前記ブロックに半導体素子を割り当てするステップと、各々の前記ブロック内における前記半導体素子の密度を調べるステップと、前記半導体素子の密度が疎であると判断されたブロックを圧縮するステップと各々の前記ブロック間を配線で接続するステップとを具備することを特徴としている。

【0009】

上記方法であると、デザイン領域を複数のブロックに分割し、ブロック毎に機能を割り当てている。そして、面積使用効率の低いブロック同士、すなわちブロック内における半導体素子密度が疎であるブロックを、隣接するもの同士で重ね合わせている。更に、面積使用効率の高いブロック、すなわちブロック内における半導体素子密度が密であるブロックと、面積使用効率の低いブロックとを、隣接するもの同士で重ね合わせている。従って、半導体集積回路のデザイン面積を縮小出来る。

【0010】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0011】

この発明の第1の実施形態に係る半導体集積回路の圧縮方法について、図1を用いて説明する。図1はLSIの圧縮方法の処理の流れを示すフローチャートである。

【0012】

図示するように、まずLSIをデザインすべきデザイン領域を格子状に分割する(ステップS10)。この様子を示しているのが図2である。図2はLSIのデザイン領域を模式的に表している。図示するように、デザイン領域1が、小さな25個のブロックBLK00～BLK44に分割されている。本実施形態ではブロックの数は25個であるが、勿論、ブロック数は25個に限定されるものではない。各ブロックの大きさは、ブロック内でスタンダードセルを移動させた際

に、それによる信号遅延が、動作タイミングに影響しない程度とすることが望ましい。すなわち、例えば図3に示すように、1つのブロックBLK内を信号が通過するのに要する時間が t_1 であったとする。そして、ブロック内に含まれる半導体素子を移動させた時に、ブロックBLK内を信号が通過するのに要する時間が $1.01 \cdot t_1$ であれば良い。より具体的には、各ブロックにおいて一辺の長さに相当する配線遅延の変化が、サイクルタイム（動作クロック周期）の1%以下にすることが望ましい。これは、RTL（Register-Transfer-Level）のverilog-HDL（Hardware Description Language）で作成した機能記述（以下RTL記述と呼ぶ）を論理合成してタイミング解析を行った解析結果と、実際にスタンダードセルを配置した場合に発生する配線遅延との間の誤差を小さくするためである。1ブロック当たりの配線遅延が1%以下であれば、10個のブロックを経由するパスにおける上記誤差は、最大でも10%である。高周波数で動作するLSIの設計においては、1つのパスがインバータ20～30段の遅延で形成され、論理の構成に使用される遅延は、平均2段分である。従って、10個以上のブロックを経由するパスは、設計上非常に少なくする必要がある。よって、1ブロック当たりの配線遅延がサイクルタイムの1%以下であれば、十分な速度見積もり精度が得られる。

【0013】

次に、各ブロックに機能を割り当てる（ステップS11）。機能の割り当ては、RTL記述によって行われる。この処理は、従来と同様であるので説明は省略する。

【0014】

次に、各ブロックについて割り当てられた機能を示すRTL記述を論理合成（synthesize）する（ステップS12）。これにより、各ブロック内には、合成によって得られたスタンダードセルが配置される。この配置処理は、既存の配置ツールを用いて最適に行うことが出来る。すなわち、ブロック毎に、スタンダードセルの配置の最適化が行われる。

【0015】

次に、デザイン領域の圧縮を行う。すなわち、まず図1におけるステップS1

3において、各ブロック内のスタンダードセルの疎密を調べる。ブロックの疎密は、ブロック面積に対するスタンダードセルの使用面積の比率によって求められる。すなわち、疎か密か、ということは、ブロックの面積使用効率を示す。ブロックが疎であるか密であるかの境界は、配線層数にも影響を受けるが、概ね60～80%に設けるのが望ましい。勿論、60～80%に限られず、製品によって境界となる数値は変わっても良い。そして、例えば図2に示したデザイン領域1に含まれるブロックの疎密が、図4に示すようであったと仮定する。図4はデザイン領域を模式的に示しており、斜線の付されたブロックが密、付されていないブロックが疎と判断されたブロックである。

【0016】

次に、スタンダードセルがブロック内で縦に配置されている場合には、制約の厳しい縦方向の圧縮を行う（ステップS14）。すなわち、ブロック全体を移動させて、疎なブロックと密なブロック、及び疎なブロック同士をオーバーラップさせる。より具体的には、図5に示すように、密なブロックBLK10と疎なブロックBLK20とが隣接している場合、ブロックBLK10とBLK20とが、一部領域で重なるように、ブロックBLK10、BLK20を移動させる。また、隣接する疎なブロックBLK23、BLK33を移動させて、両者が一部領域で重なるようにする。この処理を、デザイン領域1全域で行う。この際、各ブロックの平均面積使用効率と、目標面積使用効率との比を求める。そして、デザイン領域全体の面積使用効率が目標面積使用効率と等しくなるように、ブロック同士を重ねる。また、2つのブロックが重なっている領域では、配置されたスタンダードセルの重なりが生じる。従って、既成の配置ツールによって、ECO placeを行って、スタンダードセルの重なりを解消する。ステップS14の結果、図6に示されるように、複数のブロックが縦方向で重なり合ったデザイン領域1が得られる。

【0017】

引き続き、横方向の圧縮を行う（ステップS15）。本処理は、上記ステップS14の処理をブロックの横方向について行うものである。その結果、図7に示すように、複数のブロックが縦方向及び横方向で重なり合ったデザイン領域1が

得られる。なお、場合によってはステップ S 14 及びステップ S 15 の処理を更に繰り返して行っても良い。

【0018】

その後は、スタンダードセルレベルでの配線を行う（ステップ S 16）。本処理は、既存の配線ツールによって行うことが出来る。

【0019】

上記の結果、LSI の設計が完了する。

【0020】

上記のように、本実施形態に係る半導体集積回路の圧縮方法であると、デザイン領域を複数のブロックに分割し、ブロック毎に機能を割り当てている。そして、面積使用効率の低いブロック同士、すなわちブロック内におけるスタンダードセル密度が疎であるブロックを、隣接するもの同士で重ね合わせている。更に、面積使用効率の高いブロック、すなわちブロック内におけるスタンダードセル密度が密であるブロックと、面積使用効率の低いブロックとを、隣接するもの同士で重ね合わせている。その結果、半導体集積回路のデザイン面積を縮小出来る。

【0021】

また、ブロックのサイズは、ブロック内でスタンダードセルを移動させた際に、それによる信号遅延が動作タイミングに影響しない程度としている。従って、動作タイミングを悪化させることなく、デザイン面積の縮小化が可能である。

【0022】

更に、デザイン領域全体よりもサイズの小さなブロック毎に配置を行っているので、デザイン全体におけるスタンダードセルの配置が容易となり、配置に要する時間を短縮化出来る。その結果、設計者の負担を軽減できる。また、スタンダードセルの配置を容易に最適化出来る。

【0023】

なお、図 8 は本実施形態の変形例に係る半導体集積回路の圧縮方法のフローチャートである。図示するように、各ブロックに機能を割り当てる前に、RTL 記述を論理合成しても構わない。すなわち、各ブロックに機能を割り当てる際には、RTL 記述からではなく、論理合成後のネットを用いてもよい。すなわち、予

め論理合成を行って、ネットリストを得る。そして、ネットリストをレジスタの入力から辿ることによって、スタンダードセルを各ブロックに割り当てる事が出来る（ステップS17）。

【0024】

この方法によれば、既に論理がスタンダードセルによって記述されている。従って、割り当てたスタンダードセルの総面積からブロック内の密度が分かるため、配置後にデザインを調べることなくブロックの疎密が判断できる。すなわち、図1におけるステップS13の処理を行う必要が無い。この場合、冗長な面積換算が不要となり、半導体集積回路の設計を簡略化出来る。

【0025】

また他の方法として、RTL記述上、A[3:0]のように同じ信号名で表されるものについては、複数のレジスタから辿り、ビットスライスで分割しても良い（ステップS11）。同一ビットでは信号間の相関が高いため、ブロック内で有効に配線が行われ、ブロックを跨ぐ配線数を削減できる。

【0026】

次に、この発明の第2の実施形態に係る半導体集積回路の圧縮方法について、図9を用いて説明する。本実施形態は、上記第1の実施形態と同様に、疎なブロックを圧縮するものであるが、その際、疎なブロックのブロックサイズを小さくすることより行うものである。図9はLSIの圧縮方法の処理の流れを示すフローチャートである。

【0027】

まず、上記第1の実施形態と同様に、ステップS10～S13の処理を行う。そして、各ブロックの疎密の判断結果が図10のようであったとする。図10は、LSIのデザイン領域を模式的に示しており、斜線の付されたブロックが密、付されていないブロックが疎と判断されたブロックである。

【0028】

次に、図11に示すように、疎なブロックのブロックサイズを縮小化して、圧縮する（ステップS20）。これは、縦方向圧縮の場合で有れば、セル配置情報のY座標の値に圧縮率を掛けることで容易に実現できる。勿論、横方向圧縮で有

れば、X座標の値に圧縮率を掛ければ良い。なお、配置ツールの制限により、ブロックサイズがある一定値でなければならないような場合には、圧縮率を掛けた後、四捨五入等で値を丸めてやれば良い。その結果、デザイン領域1は図12に示すように圧縮される。

【0029】

その後は、ステップS16において、スタンダードセルレベルでの配線を行って、LSIの設計が完了する。

【0030】

上記のように、疎なブロックのブロックサイズを縮小することで、上記第1の実施形態と同様の効果が得られる。

【0031】

なお、図13は本実施形態の変形例に係る半導体集積回路の圧縮方法のフローチャートである。図示するように、上記第1の実施形態の変形例と同様に、各ブロックに機能を割り当てる前に、RTL記述の論理合成を行っても構わない。

【0032】

次に、この発明の第3の実施形態に係る半導体集積回路の圧縮方法について、図14を用いて説明する。本実施形態は、上記第1、第2の実施形態において、疎と判断されたブロックの配線密度が高い場合には、当該ブロックの圧縮を行わないものである。図14はLSIの圧縮方法の処理の流れを示すフローチャートである。

【0033】

まず、上記第1の実施形態と同様に、ステップS10～S13の処理を行う。

【0034】

次に、疎なブロックにおける配線の混雑状況を調べる（ステップS30）。そして、疎なブロックにおいて、配線混雑度が高ければ、当該ブロックの半導体素子の密度が密であるとみなす（ステップS31）。このステップS30、S31について、図15、図16を用いて説明する。図15、図16はそれぞれ、一部のブロック内の回路図である。図示するように、RTL記述を論理合成してスタンダードセルを各ブロックに割り当てた際、ブロックBLK22、BLK23は

、1つのラッチ回路（2つのインバータ）を含んでいたと仮定する。そして、ステップS 1 3において、ブロックB L K 2 2は疎と判断されたとする。すると、図1 6に示すように、ブロックB L K 2 3も1つのラッチ回路を含むのみであるから、ブロックB L K 2 3も疎と判断される。しかし、ブロックB L K 2 2とブロックB L K 2 3とでは、配線混雑度が大きく異なる。すなわち、ブロックB L K 2 2では、2つのインバータ以外の領域の殆どが空き領域である。これに対してブロックB L K 2 3では、確かにインバータの個数は2個であるが、配線数が多いため、ブロックB L K 2 3内に空き領域は殆ど無い。このように、配線によってブロック内に空き領域が殆ど無いにも関わらず疎と判断されたブロックを、ステップS 3 1では密と判断する。

【0 0 3 5】

その後は、疎と判断されたブロックの圧縮を行う（ステップS 3 2）。ブロックの圧縮方法は、上記第1、第2の実施形態で説明した方法が用いられる。すなわち、隣接する疎なブロック同士、または疎なブロックと密なブロックとを重ね合わせても良いし、疎なブロックのブロックサイズを縮小化しても良い。

【0 0 3 6】

そして、ステップS 1 6において、スタンダードセルレベルでの配置配線を行って、L S Iの設計が完了する。

【0 0 3 7】

上記のように、本実施形態に係る半導体集積回路の圧縮方法であると、上記第1、第2の実施形態と同様の効果に併せて、次の効果が得られる。デザインの再配線を容易にすることが出来る。すなわち、ブロック内にセルが疎に配置されており、且つ配線混雑度の低いブロックは、圧縮を行っても、再配線時に面積的な余裕があり、容易に配線を行うことが出来る。しかし、ブロック内のセル密度は疎であっても、その他の領域が配線によって十分に使われているブロックを圧縮すると、再配線時に面積的な余裕が無い。従って、再配線が非常に困難になるか、場合によっては再配線が不可能になってしまう虞がある。

【0 0 3 8】

しかし、本実施形態に係る方法であると、まず各ブロック内におけるセルの疎

密を調べ、更に配線密度を調べている。そして、疎なブロックであっても配線密度が高いブロックは、密なブロックであると判断して、圧縮を行わないようにしている。従って、デザインの再配線を容易にすることが出来る。

【0039】

なお、図17は本実施形態の変形例に係る半導体集積回路の圧縮方法のフローチャートである。図示するように、本実施形態においても、上記第1の実施形態の変形例と同様に、各ブロックに機能を割り当てる前に、RTL記述の論理合成を行っても構わない。

【0040】

次に、この発明の第4の実施形態に係る半導体集積回路の圧縮方法について、図18を用いて説明する。本実施形態は、上記第1、第2の実施形態において、特定の行または列に集中して存在する密なブロックのブロックサイズを変更するものである。図18はLSIの圧縮方法の処理の流れを示すフローチャートである。

【0041】

まず、上記第1の実施形態と同様に、ステップS10～S13の処理を行う。ステップS13の結果、デザイン領域は図19のように判断されたと仮定する。図19は、デザイン領域を模式的に示す図である。

【0042】

そして、密なブロックが特定の行または列に集中して存在しているか否かを判断する（ステップS40）。図19に示すように、本例では、特定の列に存在するブロックBLK02～BLK42が密と判断され、その他のブロックは疎と判断されたとする。

【0043】

次に、特定の行または列に集中して存在する密なブロックの縦横比を変更する（ステップS41）。これは、セルの配置座標に、ブロック一辺長の変更率を掛けることで実現できる。すなわち、図20に示すように、ある一列に集中して存在するブロックBLK02～BLK42の縦横比を変更し、各ブロックの面積を変えないように、縦方向のサイズを縮小化する。

【0044】

その後は、疎と判断されたブロックの圧縮を行う（ステップS32）。ブロックの圧縮方法は、上記第1、第2の実施形態で説明した方法が用いられる。すなわち、隣接する疎なブロック同士、または疎なブロックと密なブロックとを重ね合わせても良いし、疎なブロックのブロックサイズを縮小化しても良い。図21は、第1の実施形態で説明した方法、図22は第2の実施形態で説明した方法によって、疎なブロックを圧縮した場合のデザイン領域を示す。

【0045】

そして、ステップS16において、スタンダードセルレベルでの配線を行って、LSIの設計が完了する。

【0046】

上記のように、本実施形態に係る半導体集積回路の圧縮方法であると、上記第1、第2の実施形態と同様の効果が得られると同時に、更に効率的にデザイン面積を縮小できる。図19に示すように、密なブロックが特定の行または列に集中している場合、当該行または列は、殆ど圧縮できない。しかし、本実施形態に係る方法であれば、密なブロックを、面積は変えずに縦横比を変えている。従って、図19に示すような場合であっても、デザイン領域を全体として縮小化出来る。

【0047】

なお、密なブロックの縦横比を変更する場合には、密なブロックの集中する行または列の大きさが、疎なブロックを圧縮した結果得られる行または列の大きさに等しくなるようにすることが望ましい（図21、図22参照）。

【0048】

また、上記実施形態では特定の列に密なブロックが集中している例について説明した。この場合には、ブロックの横方向を大きくすることによって、縦方向を小さくする。しかし、特定の行に密なブロックが集中している場合には、図23に示すように、ブロックの縦方向を大きくすることによって、横方向を小さくすれば良い。

【0049】

更に、本実施形態は、上記第3の実施形態と組み合わせることも可能である。すなわち、図24に示すように、ステップS13とステップS40との間に、上記第3の実施形態で説明したステップS30、S31を挿入しても良い。この場合には、ステップS31で初めて密と判断されたブロックを含めて、ステップS40の処理が行われる。

【0050】

また、図25に示すように、図18、図24に示す圧縮方法において、上記第1の実施形態の変形例と同様に、各ブロックに機能を割り当てる前に、RTL記述の論理合成を行っても構わない。

【0051】

次に、この発明の第5の実施形態に係る半導体集積回路の圧縮方法について、図26を用いて説明する。本実施形態は、上記第1乃至第4の実施形態において、ブロックの一部をカスタムレイアウトによって構成するものである。図26は、LSIの圧縮方法の処理の流れを示すフローチャートである。

【0052】

図示するように、まずLSIをデザインすべきデザイン領域を格子状に分割する(ステップS50)。この処理は、上記第1の実施形態で説明したステップS10の処理と同様である。この際、スタンダードセルではなくカスタムレイアウトで構成すべき領域を指定する。この様子を示しているのが、図27である。図27は、LSIのデザイン領域を模式的に表している。図示するように、ステップS50では、デザイン領域1を25個のブロックBLK00～BLK44に分割し、且つ例えばブロックBLK22をカスタムレイアウトで構成すべき領域に指定する。

【0053】

次に、上記第1の実施形態と同様に、各ブロックに機能を割り当てる(ステップS11)。そして、論理合成を行い、スタンダードセル及びカスタムレイアウトの割り当てを行う(ステップS51)。すなわち、まずステップS50で指定されたブロックを検出する。そして、検出されたブロック(図27ではブロックBLK22)に対してはカスタムレイアウトを割り当て、その他のブロックにお

いては、RTL記述をスタンダードセルに置き換える。

【0054】

その後は各ブロックの疎密を調べ（ステップS13）、上記第1乃至第4の実施形態で説明したステップS14、S20、S30、またはS40へ進む。

【0055】

上記のように、本実施形態に係る半導体集積回路の圧縮方法であると、上記第1乃至第4の実施形態で説明した効果が得られる。また、スタンダードセルを用いた設計手法だけでなく、カスタムレイアウトを用いた設計を容易に採用できる。特定の演算器やメモリなどは、スタンダードセルよりもむしろカスタムレイアウトで構成することが有利である。このことは設計当初から分かっていることである。その場合には、予めモジュールなどの一連の機能記述を、カスタムレイアウトで構成することが望ましい。本実施形態であると、各ブロックと機能とを対応させることで、1つのLSIを、スタンダードセル設計とカスタムレイアウト設計との2つの設計手法を用いて行うことが容易となる。

【0056】

なお、本実施形態ではカスタムレイアウト設計すべきブロックが1つの場合を例に挙げて説明したが、その数は限定されるものではない。また、複数のブロックに跨って1つのカスタムレイアウトが割り当てられた場合には、当該ブロックの互いに位置関係を固定することが望ましい。例えば、図28に示すように、1つのカスタムレイアウトが4つのブロックBLK11、BLK12、BLK21、BLK22に跨って存在するような場合がある。このような場合には、ステップS12の最適化処理において、これらのブロックの位置関係が変わらないようにすることが必要である。

【0057】

また、一般的にカスタムレイアウトは面積・性能をスタンダードセルに比べて高くすることが出来る。他方、スタンダードセルは形状・配置の自由度が高く、プロセスの変化に対応しやすい。従って、同じ設計を異なるプロセスで再利用する時には、カスタムレイアウトとスタンダードセルとで、有利不利が変わる場合がある。この場合には、カスタムレイアウトで構成したブロックと、同じ機能を

有するスタンダードセルベースのブロックとを変換し、ステップ S 5 1 の論理合成以降を再実行することで、RTL 記述を変更しなくて済む。

【0058】

なお、図 29 に示すように、本実施形態においても、上記第 1 の実施形態の変形例と同様に、各ブロックに機能を割り当てる前に、RTL 記述の論理合成を行っても構わない。そして、カスタムレイアウトと、論理合成によって得られたスタンダードセルとを、各ブロックに割り当てても良い。

【0059】

上記のように、この発明の第 1 乃至第 5 の本実施形態に係る半導体集積回路の圧縮方法であると、LSI のデザイン領域を複数の小さなブロックに分割している。そして、スタンダードセルを配置した後、各ブロックの疎密を調べている。その後、スタンダードセルの密度が低いブロックを圧縮することにより、デザイン面積を縮小化している。更に、デザイン領域をブロックに分割する際には、ブロックを、ブロック内においてセルが移動しても動作タイミングに影響を与えない程度のサイズにしている。従って、動作タイミングの悪化を招かずに、デザイン面積を縮小化出来る。

【0060】

なお要求が有る場合には、圧縮後のデザイン領域の形状をその要求形状に合わせることも出来る。本例について、図 30 を用いて説明する。図 30 は、上記第 1 乃至第 5 の実施形態の第 1 変形例に係る圧縮方法のフローチャートである。

【0061】

図示するように、上記第 1 乃至第 5 の実施形態で説明したステップ S 13、S 17、S 31、及び S 52 の後、所定の形状に合わせて密なブロックの縦横比を変更する（ステップ S 60）。例えば、デザイン領域の疎密の関係が、図 10 に示すようであったとする。そして、圧縮後のデザイン領域を、横幅 0.9 倍、縦幅 0.8 倍にしたいという要求があったとする。その要求に合わせて、密なブロックの縦横比を、その面積を変えないように変更する。図 31 はこの様子を示している。図 31 では、密なブロックの縦幅を 0.8 倍にし、横幅を 1.25 倍に変更している。

【0062】

次に図30におけるステップS61において、所定の形状に合わせて、疎なブロックを圧縮する。図32はこの様子を示している。図32に示すように、疎なブロックは、デザイン領域全体の横幅が圧縮前の0.9倍、縦幅が0.8倍になるように、疎なブロック及び密なブロックと重ねあわされる。重ね合わせる方法は、上記第1の実施形態と同様である。

【0063】

またステップS61においては、上記第2の実施形態で説明した方法によって、疎なブロックを圧縮しても良い。すなわち、図33に示すように、デザイン領域全体の横幅が圧縮前の0.9倍、縦幅が0.8倍になるように、疎なブロックが圧縮される。

【0064】

本変形例によれば、デザイン領域に所定の形状が要求されている場合であっても、その要求に対応することが出来る。なお図31乃至図33の例では、密なブロックのサイズを、一律、横幅0.8倍、縦幅1.25倍としているが、ブロック毎に異なっても良い。すなわち、密なブロックのうち、例えばいずれかのブロックは横幅が0.8倍、縦幅が1.25倍に変更され、いずれかのブロックは横幅が1.25倍、縦幅が0.8倍に変更され、またその他のブロックは、横幅、縦幅が変更されない場合があってもよい。

【0065】

更に、上記第1乃至第5の実施形態では、デザイン領域を分割した後に、機能の割り当て（スタンダードセルの割り当て）が行われる場合について説明した。しかし、その順序は逆であってもよい。この場合の圧縮方法について、図34を用いて説明する。図34は、上記第1乃至第5の実施形態の第2変形例に係る圧縮方法のフローチャートである。

【0066】

図示するように、既に設計済み（スタンダードセルが配置済み）のデザイン領域を、複数のブロックに分割する（ステップS70）。このステップS70は、上記第1の実施形態で説明したステップS10の処理と同様である。

【0067】

次に、各ブロックの疎密を判断する（ステップS13）。すなわち、各ブロックに含まれるスタンダードセルの密度を調べる。その後は、上記第1乃至第5の実施形態及びその第1変形例で説明したステップS14、S20、S30、S40、及びS60の処理を行う。

【0068】

本変形例によれば、既に機能が割り当てられた既存のデザインについても、上記第1乃至第5の実施形態が適用出来る。この場合でも、半導体回路がスタンダードセルで設計されているかカスタムレイアウトで設計されているかは問わない。

【0069】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【0070】**【発明の効果】**

以上説明したように、この発明によれば、デザイン面積を縮小出来る半導体集積回路の圧縮方法を提供できる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係る半導体集積回路の圧縮方法のフローチャート。

【図2】 この発明の第1の実施形態に係る半導体集積回路の圧縮方法において、複数のブロックに分割したデザイン領域の模式図。

【図3】 この発明の第1の実施形態に係る半導体集積回路の圧縮方法において、ブロック内の模式図であり、配線遅延時間の変化の様子を示す図。

【図 4】 この発明の第 1 の実施形態に係る半導体集積回路の圧縮方法において、複数のブロックに分割したデザイン領域の模式図であり、ブロック内のスタンダードセルの疎密を示す図。

【図 5】 この発明の第 1 の実施形態に係る半導体集積回路の圧縮方法において、ブロックを圧縮する様子を示す模式図。

【図 6】 この発明の第 1 の実施形態に係る半導体集積回路の圧縮方法において、ブロックを縦方向で圧縮する様子を示す模式図。

【図 7】 この発明の第 1 の実施形態に係る半導体集積回路の圧縮方法において、ブロックを横方向で圧縮する様子を示す模式図。

【図 8】 この発明の第 1 の実施形態の変形例に係る半導体集積回路の圧縮方法のフローチャート。

【図 9】 この発明の第 2 の実施形態に係る半導体集積回路の圧縮方法のフローチャート。

【図 1 0】 この発明の第 2 の実施形態に係る半導体集積回路の圧縮方法において、複数のブロックに分割したデザイン領域の模式図であり、ブロック内のスタンダードセルの疎密を示す図。

【図 1 1】 この発明の第 2 の実施形態に係る半導体集積回路の圧縮方法において、ブロックを圧縮する様子を示す模式図。

【図 1 2】 この発明の第 2 の実施形態に係る半導体集積回路の圧縮方法において、ブロックを圧縮する様子を示す模式図。

【図 1 3】 この発明の第 2 の実施形態の変形例に係る半導体集積回路の圧縮方法のフローチャート。

【図 1 4】 この発明の第 3 の実施形態に係る半導体集積回路の圧縮方法のフローチャート。

【図 1 5】 この発明の第 3 の実施形態に係る半導体集積回路の圧縮方法において、ブロックに配置したスタンダードセルの例を示す模式図。

【図 1 6】 この発明の第 3 の実施形態に係る半導体集積回路の圧縮方法において、ブロックに配置したスタンダードセルの例を示す模式図。

【図 1 7】 この発明の第 3 の実施形態の変形例に係る半導体集積回路の圧

縮方法のフローチャート。

【図 1 8】 この発明の第 4 の実施形態に係る半導体集積回路の圧縮方法のフローチャート。

【図 1 9】 この発明の第 4 の実施形態に係る半導体集積回路の圧縮方法において、複数のブロックに分割したデザイン領域の模式図であり、ブロック内のスタンダードセルの疎密を示す図。

【図 2 0】 この発明の第 4 の実施形態に係る半導体集積回路の圧縮方法において、密なブロックの縦横比を変更する様子を示す模式図。

【図 2 1】 この発明の第 4 の実施形態に係る半導体集積回路の圧縮方法において、ブロックを圧縮する様子を示す模式図。

【図 2 2】 この発明の第 4 の実施形態に係る半導体集積回路の圧縮方法において、ブロックを圧縮する様子を示す模式図。

【図 2 3】 この発明の第 4 の実施形態に係る半導体集積回路の圧縮方法において、密なブロックの縦横比を変更する様子を示す模式図。

【図 2 4】 この発明の第 4 の実施形態の第 1 変形例に係る半導体集積回路の圧縮方法のフローチャート。

【図 2 5】 この発明の第 4 の実施形態の第 2 変形例に係る半導体集積回路の圧縮方法のフローチャート。

【図 2 6】 この発明の第 5 の実施形態の変形例に係る半導体集積回路の圧縮方法のフローチャート。

【図 2 7】 この発明の第 5 の実施形態に係る半導体集積回路の圧縮方法において、複数のブロックに分割したデザイン領域の模式図。

【図 2 8】 この発明の第 5 の実施形態に係る半導体集積回路の圧縮方法において、複数のブロックに分割したデザイン領域の模式図であり、複数のブロックに跨ってカスタムレイアウトが設けられた様子を示す図。

【図 2 9】 この発明の第 5 の実施形態の変形例に係る半導体集積回路の圧縮方法のフローチャート。

【図 3 0】 この発明の第 1 乃至第 5 の実施形態の第 1 変形例に係る半導体集積回路の圧縮方法のフローチャート。

【図 3 1】 この発明の第 1 乃至第 5 の実施形態の第 1 変形例に係る半導体集積回路の圧縮方法において、密なブロックの縦横比を変更する様子を示す模式図。

【図 3 2】 この発明の第 1 乃至第 5 の実施形態の第 1 変形例に係る半導体集積回路の圧縮方法において、ブロックを圧縮する様子を示す模式図。

【図 3 3】 この発明の第 1 乃至第 5 の実施形態の第 1 変形例に係る半導体集積回路の圧縮方法において、ブロックを圧縮する様子を示す模式図。

【図 3 4】 この発明の第 1 乃至第 5 の実施形態の第 2 変形例に係る半導体集積回路の圧縮方法のフローチャート。

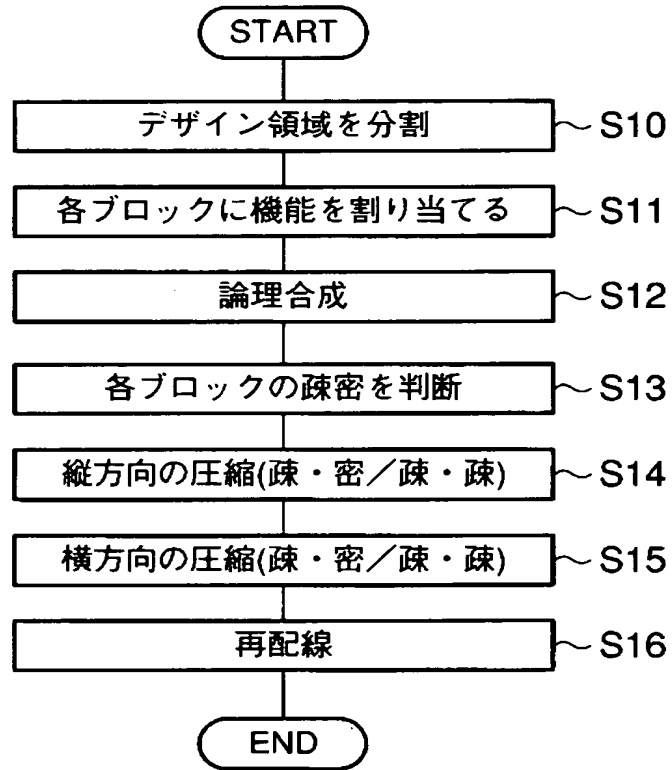
【符号の説明】

1 … デザイン領域

【書類名】

図面

【図 1】



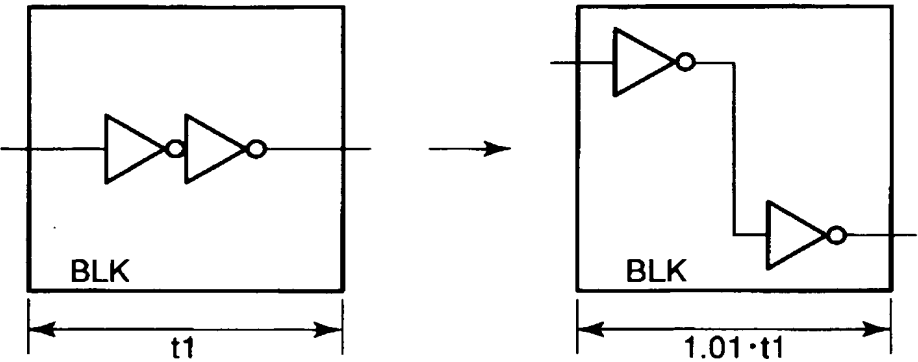


【図 2】

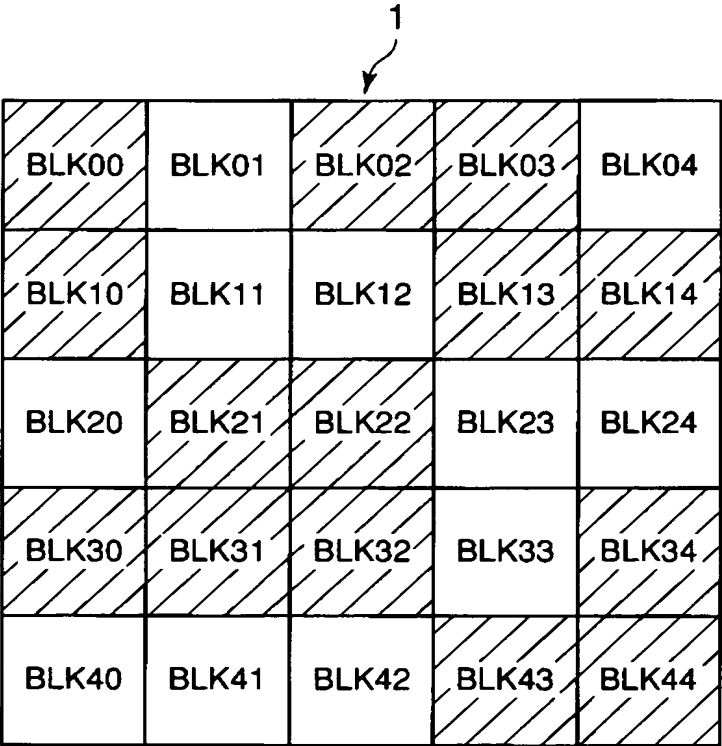
1

BLK00	BLK01	BLK02	BLK03	BLK04
BLK10	BLK11	BLK12	BLK13	BLK14
BLK20	BLK21	BLK22	BLK23	BLK24
BLK30	BLK31	BLK32	BLK33	BLK34
BLK40	BLK41	BLK42	BLK43	BLK44

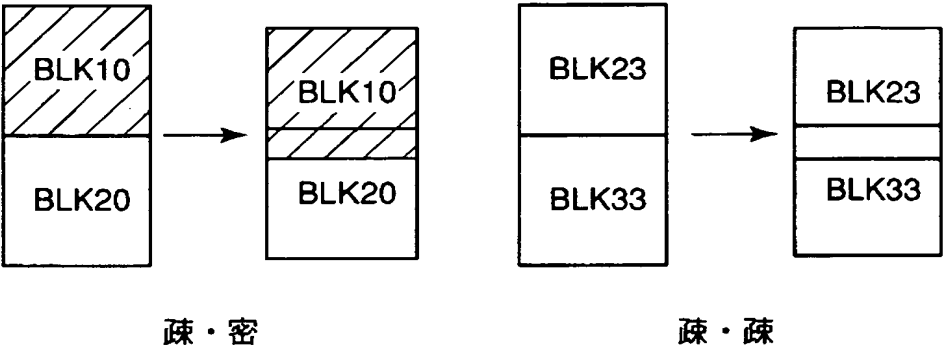
【図 3】



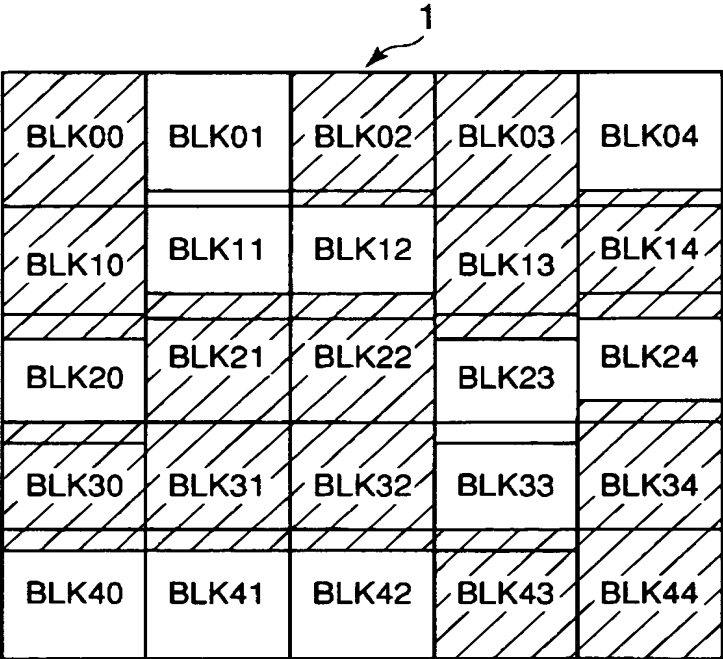
【図 4】



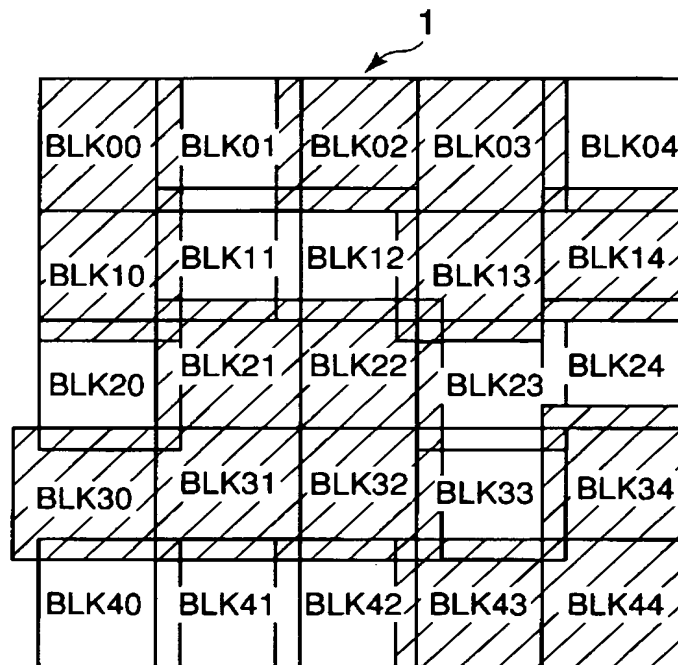
【図 5】



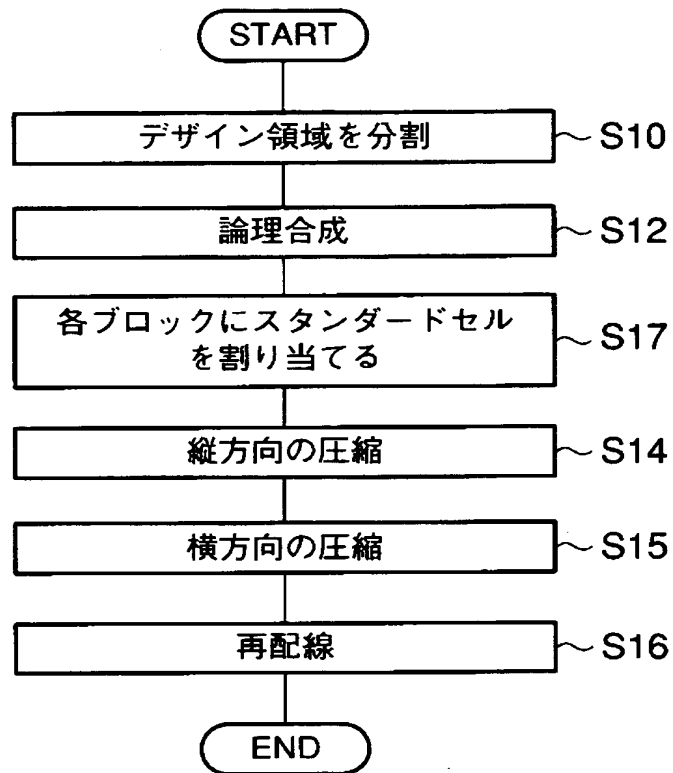
【図 6】



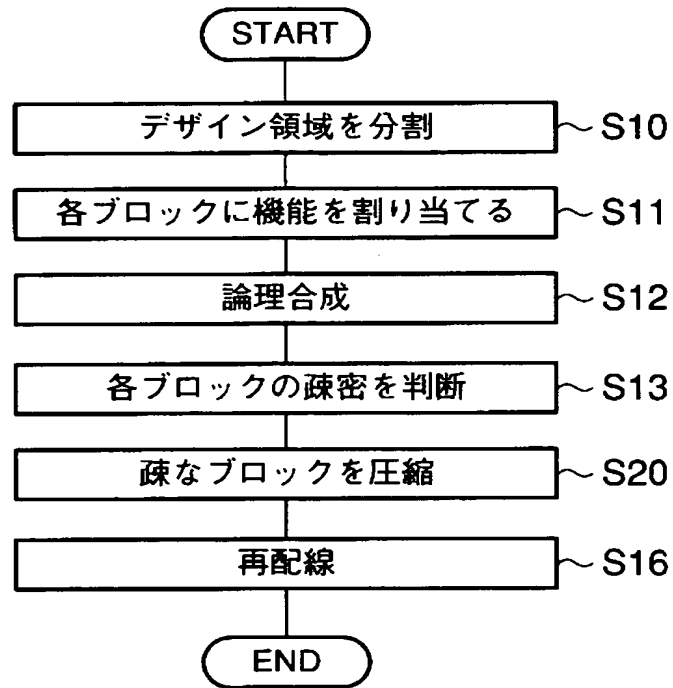
【図 7】



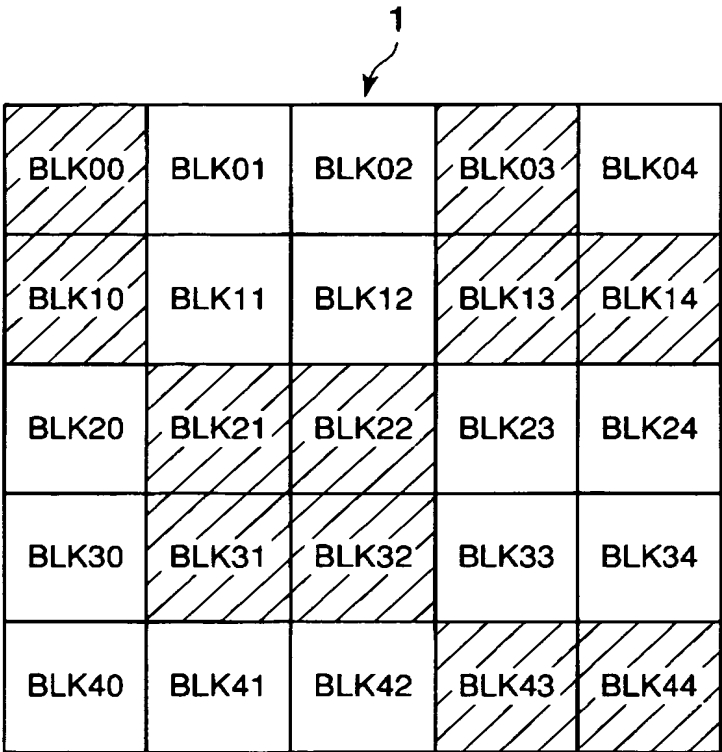
【図 8】



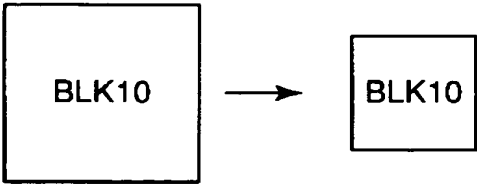
【図 9】



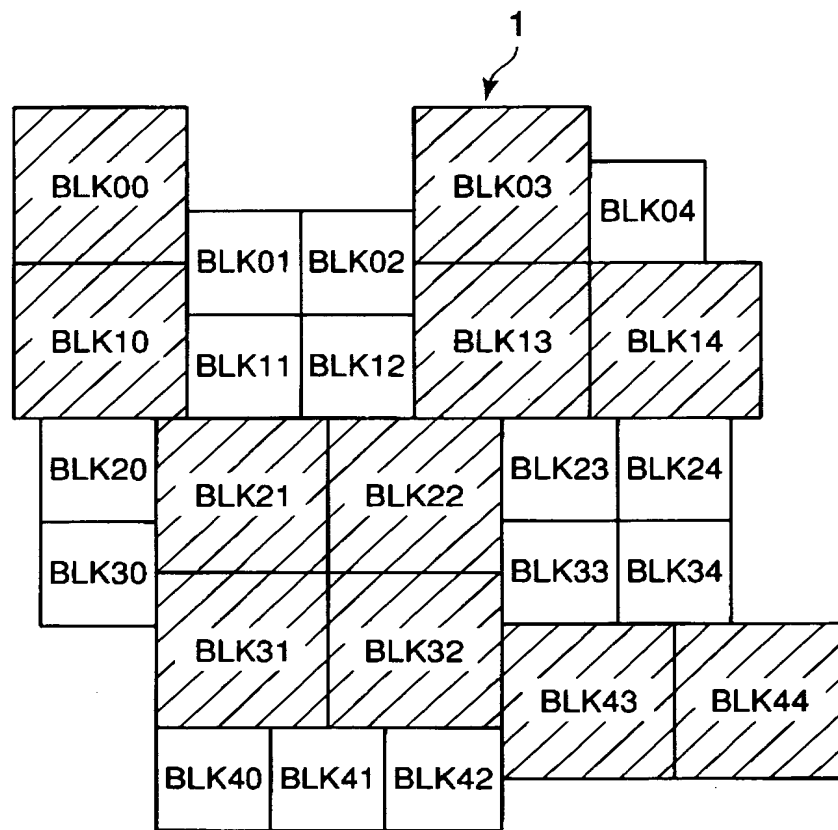
【図 10】



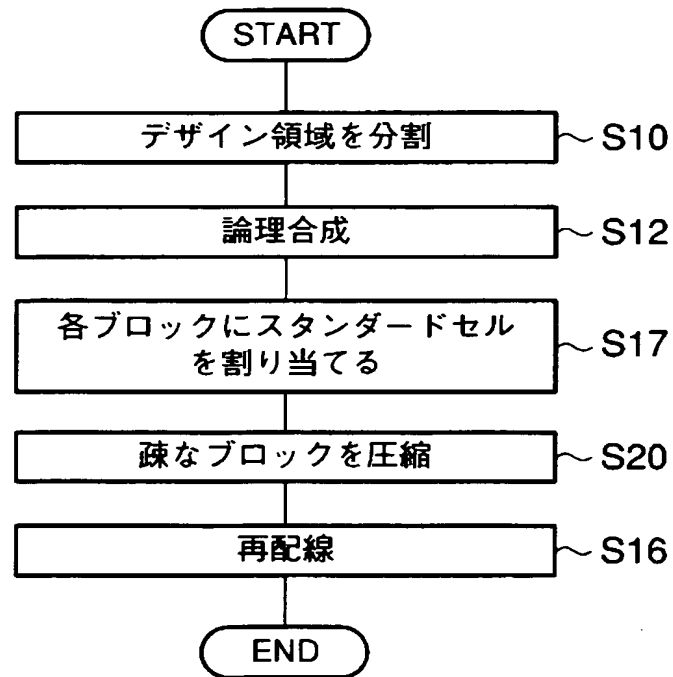
【図 11】



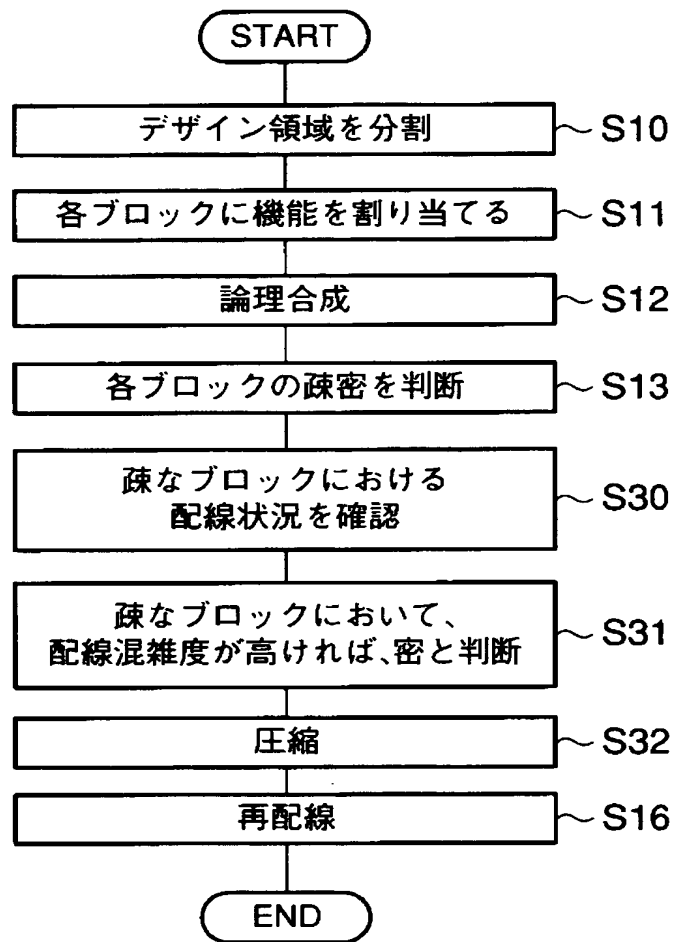
【図 12】



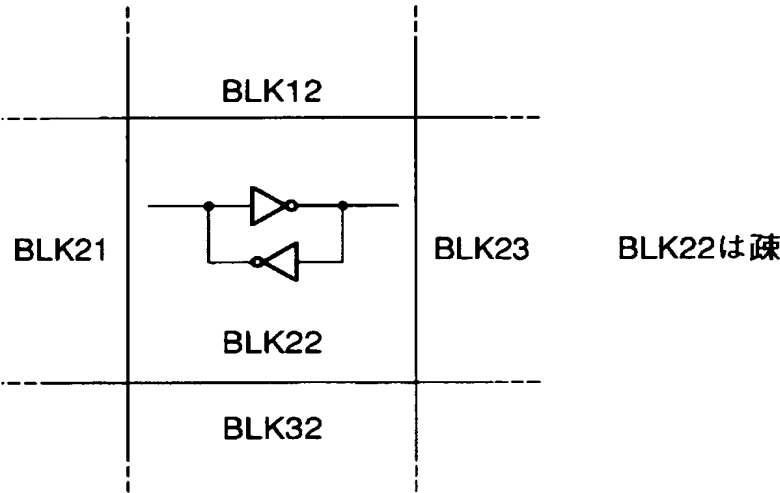
【図 13】



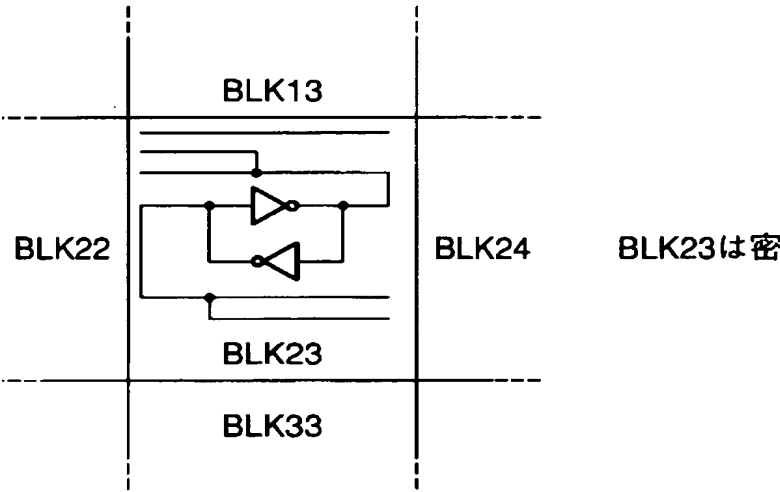
【図 14】



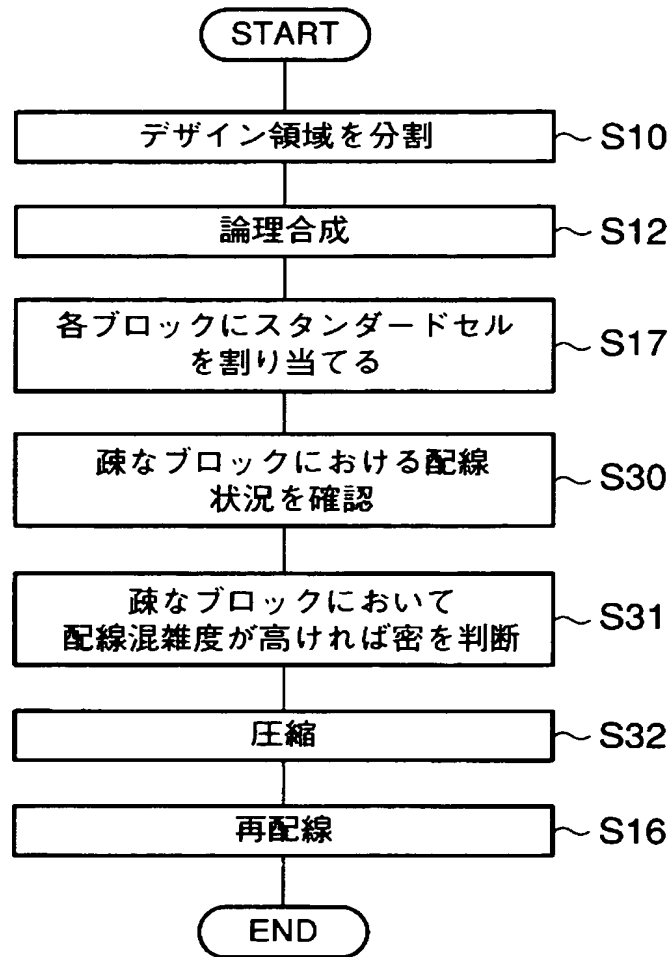
【図 15】



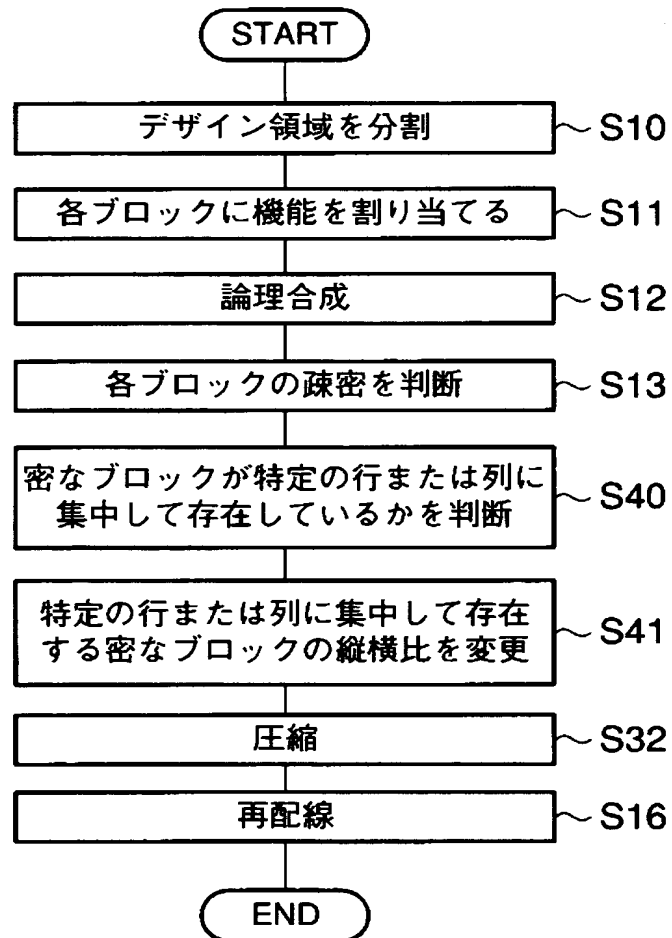
【図 16】



【図 17】



【図 18】



【図 19】

BLK00	BLK01	BLK02	BLK03	BLK04
BLK10	BLK11	BLK12	BLK13	BLK14
BLK20	BLK21	BLK22	BLK23	BLK24
BLK30	BLK31	BLK32	BLK33	BLK34
BLK40	BLK41	BLK42	BLK43	BLK44

← 1

【図 20】

BLK00	BLK01	BLK02	BLK03	BLK04
BLK10	BLK11	BLK12	BLK13	BLK14
BLK20	BLK21	BLK22	BLK23	BLK24
BLK30	BLK31	BLK32	BLK33	BLK34
BLK40	BLK41	BLK42	BLK43	BLK44

← 1

【図 2 1】

BLK00	BLK01	BLK02	BLK03	BLK04
BLK10	BLK11	BLK12	BLK13	BLK14
BLK20	BLK21	BLK22	BLK23	BLK24
BLK30	BLK31	BLK32	BLK33	BLK34
BLK40	BLK41	BLK42	BLK43	BLK44

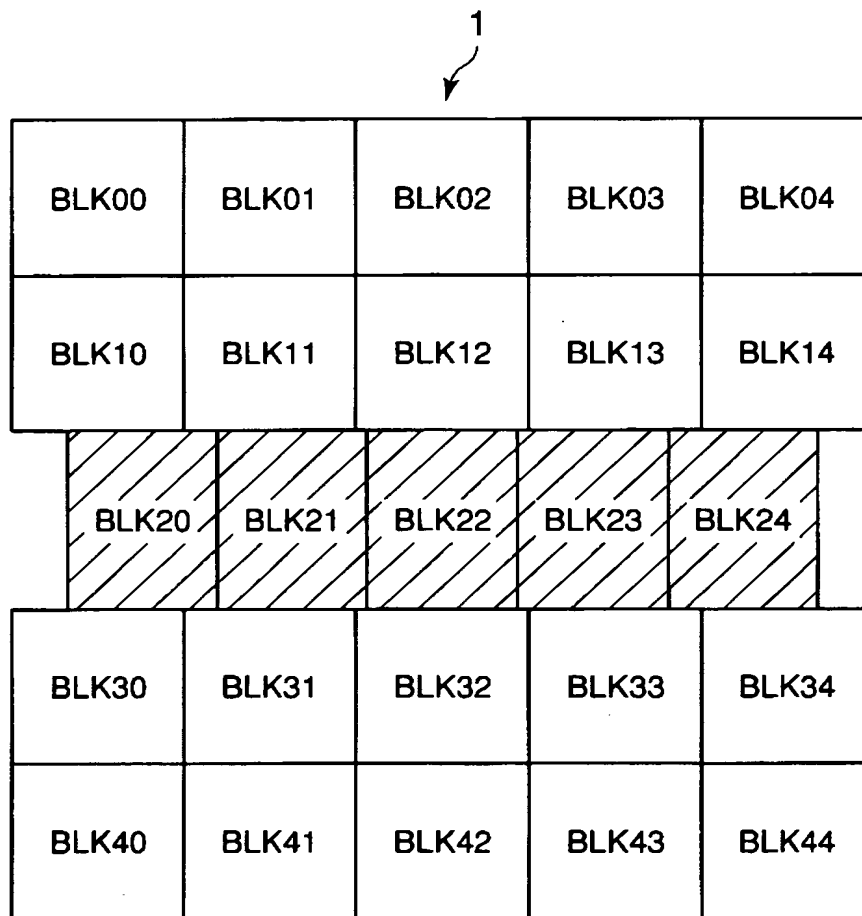
1

【図 2 2】

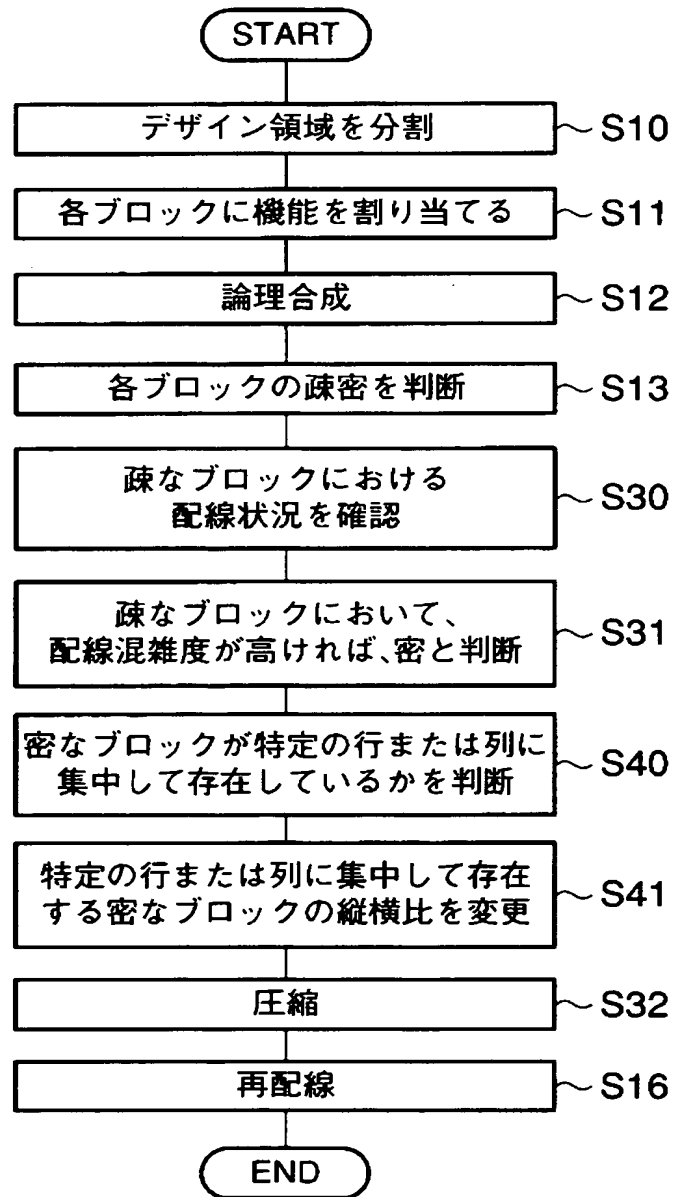
BLK00	BLK01	BLK02	BLK03	BLK04
BLK10	BLK11	BLK12	BLK13	BLK14
BLK20	BLK21	BLK22	BLK23	BLK24
BLK30	BLK31	BLK32	BLK33	BLK34
BLK40	BLK41	BLK42	BLK43	BLK44

1

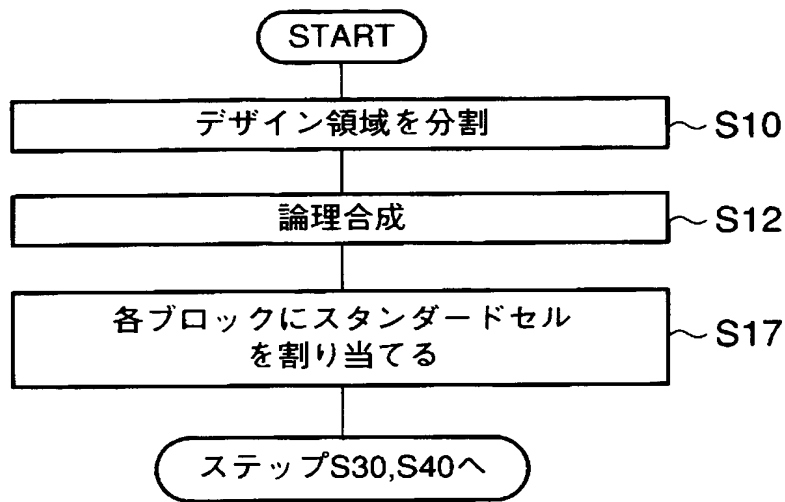
【図 23】



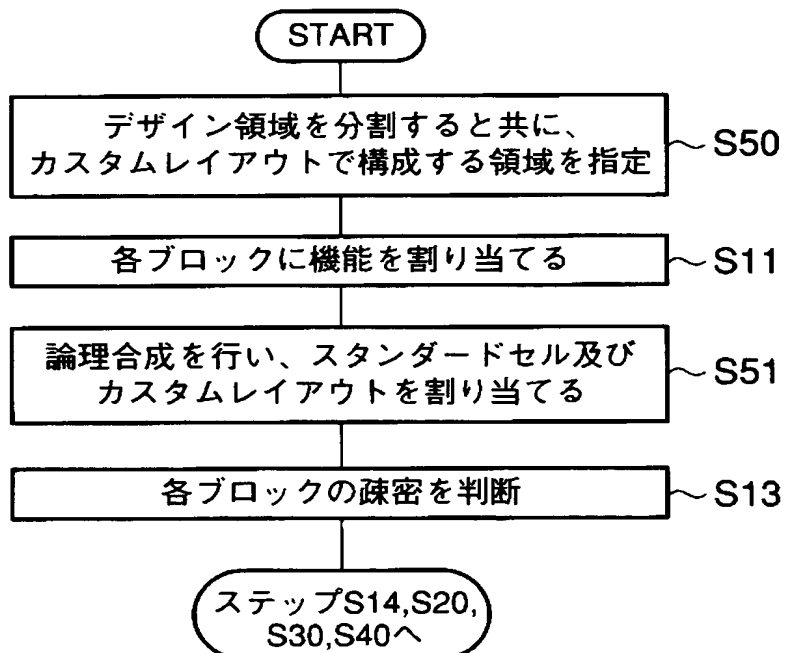
【図 24】



【図 25】



【図 26】



【図 27】

BLK00	BLK01	BLK02	BLK03	BLK04
BLK10	BLK11	BLK12	BLK13	BLK14
BLK20	BLK21	BLK22	BLK23	BLK24
BLK30	BLK31	BLK32	BLK33	BLK34
BLK40	BLK41	BLK42	BLK43	BLK44

1

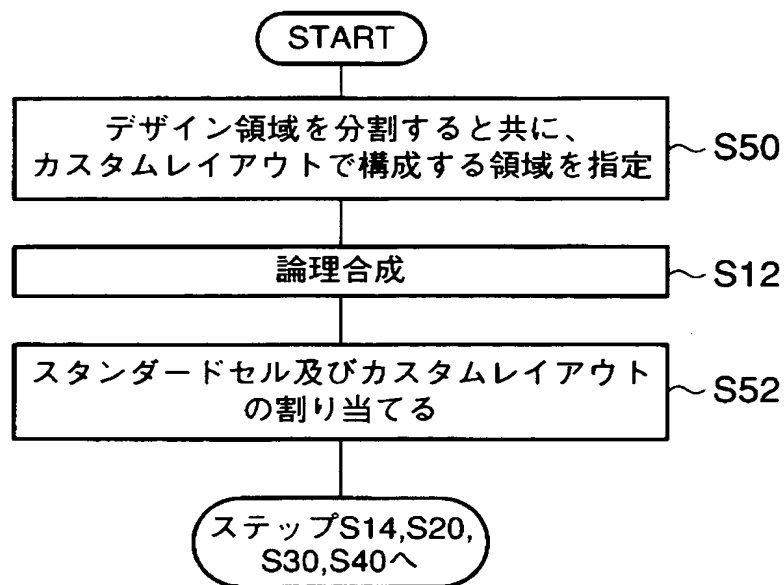
【図 28】

BLK00	BLK01	BLK02	BLK03	BLK04
BLK10	BLK11	BLK12	BLK13	BLK14
BLK20	BLK21	BLK22	BLK23	BLK24
BLK30	BLK31	BLK32	BLK33	BLK34
BLK40	BLK41	BLK42	BLK43	BLK44

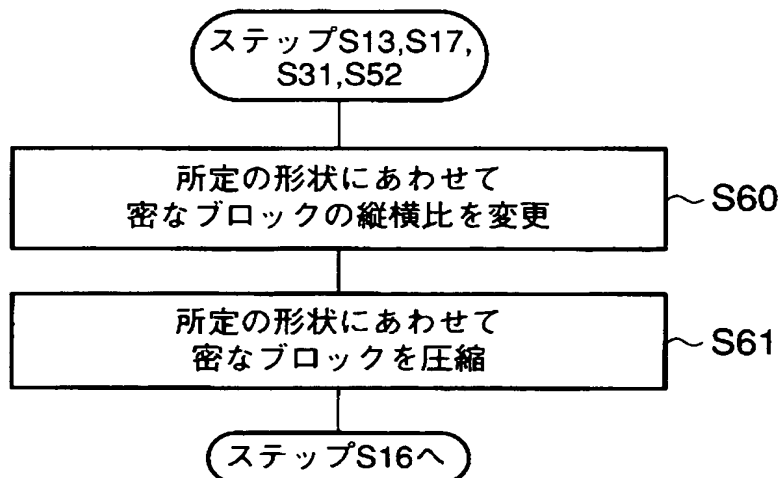
1つの
カスタム
レイアウト

1

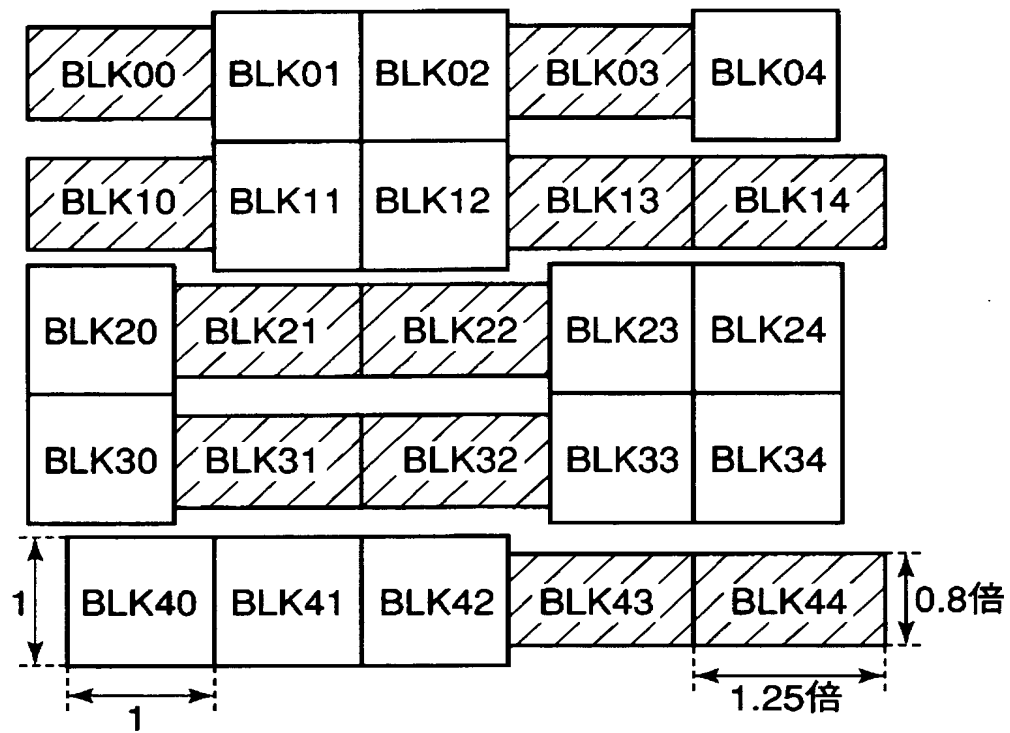
【図 29】



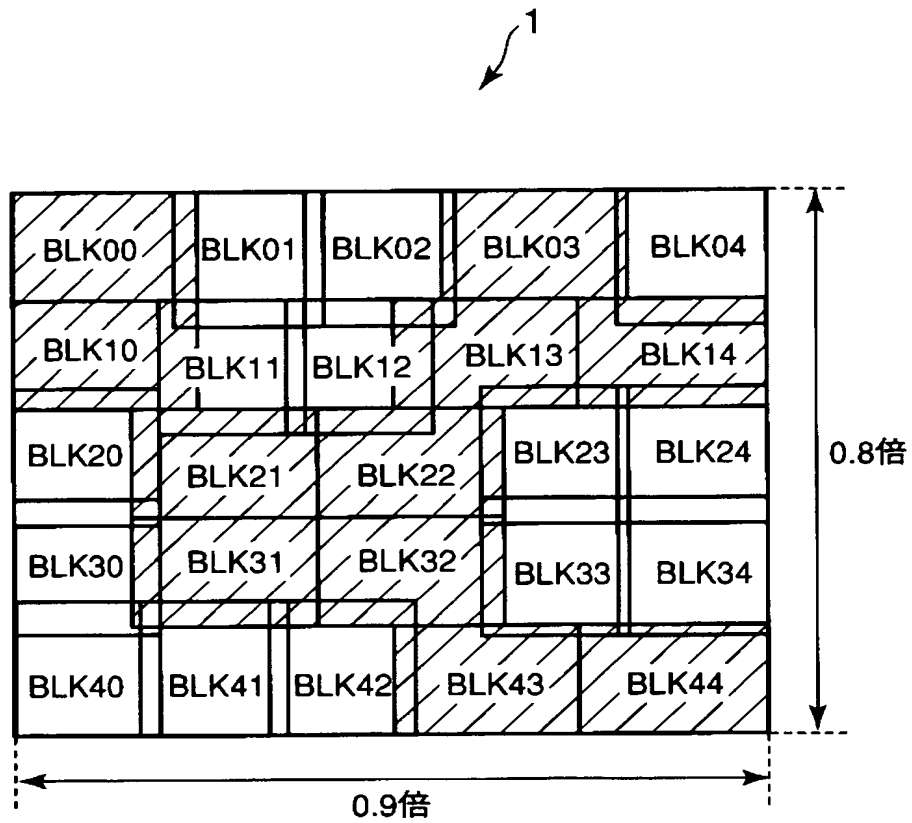
【図 30】



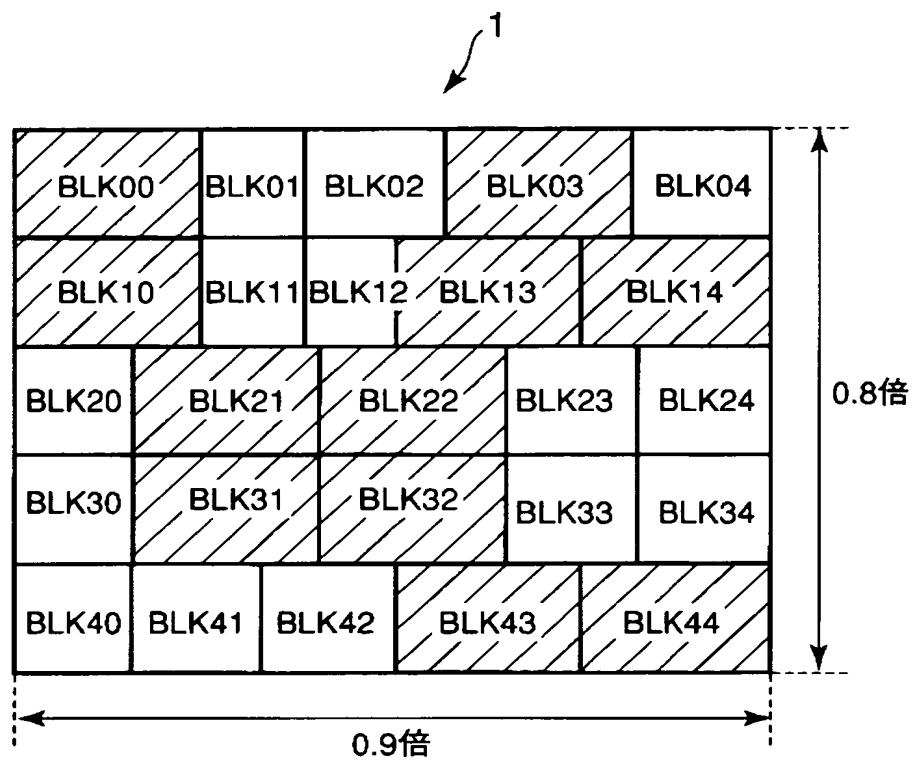
【図 31】



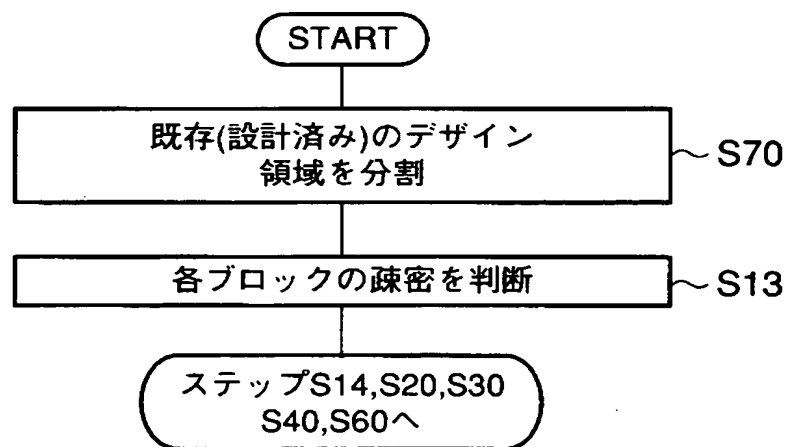
【図 32】



【図 33】



【図 34】



【書類名】 要約書

【要約】

【課題】 デザイン面積を縮小出来る半導体集積回路の圧縮方法を提供すること

。

【解決手段】 半導体集積回路を設計すべきデザイン領域を、複数のブロックに分割するステップ S10 と、各々のブロックに半導体素子を割り当てるステップ S11～S13 と、各々のブロック内における半導体素子の密度を調べるステップ S14 と、半導体素子の密度が疎であると判断されたブロックを圧縮するステップと S15、S16、各々のブロック間を配線で接続するステップ S17 とを具備する。

【選択図】 図 1

特願 2 0 0 3 - 1 9 9 1 4 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝